

Scanned 2/17/2005  
DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03725413      \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.:      **04-090513** [JP 4090513 A]

PUBLISHED:      March 24, 1992 (19920324)

INVENTOR(s):      OKIMOTO HIROYUKI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.:      02-205240 [JP 90205240]

FILED:      August 03, 1990 (19900803)

INTL CLASS:      [5] G02F-001/136; G02F-001/133; G02F-001/1343; G09F-009/30

JAPIO CLASS:      29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9  
(COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass

Conductors)

JOURNAL:      Section: P, Section No. 1384, Vol. 16, No. 317, Pg. 123, July  
10, 1992 (19920710)

ABSTRACT

PURPOSE: To increase the light transmissivity and to improve the display contrast by forming an electrode for a storage capacitor as a frame-shaped electrode which faces only the outer peripheral edge part of a picture element electrode.

CONSTITUTION: The electrode 32 for the storage capacitor which is provided below the picture element electrode 31 is formed on a substrate 21 and faces the electrode 31 across the gate insulating film 25 of a thin film transistor 23. The electrode 32 is the frame-shaped electrode which faces only the outer peripheral edge part of the electrode 31 and made of the same metal with a gate electrode 24 below the transistor 23 and a scanning line 24A. Further, a transparent counter electrode 34 facing respective electrodes 31 on the side of a substrate 11 and a black mask 35 are formed

on the surface of a substrate 35. This mask 35 is formed in a lattice shape having an opening of width  $W_b$  a little bit smaller than the width  $W_a$  of the electrode 31. Then the electrode 32 is formed having its internal width  $W_c$  a little bit smaller than the opening width  $W_b$  of the mask 35. Consequently, the light transmissivity is increased and the display contrast is improved.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平4-90513

⑬ Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	⑭ 公開 平成4年(1992)3月24日
G 02 F	1/136	5 0 0	9018-2K
	1/133	5 5 0	8806-2K
	1/1343		9018-2K
G 09 F	9/30	3 3 8	8621-5G

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 液晶表示素子

⑯ 特 願 平2-205240

⑰ 出 願 平2(1990)8月3日

⑱ 発 明 者 沖 本 浩 之 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

## 明 細 書

## 1. 発明の名称

## 液 晶 表 示 素 子

## 2. 特許請求の範囲

(1) 液晶層をはさんで対向する一対の透明基板のうち一方の基板に、多数の薄膜トランジスタとこの各薄膜トランジスタにそれぞれ接続された多数の画素電極を形成するとともに、この各画素電極の下に、絶縁膜を介して前記画素電極と対向するストレージキャパシタ用電極を設け、他方の基板には前記画素電極と対向する対向電極を形成した液晶表示素子において、前記ストレージキャパシタ用電極を、前記画素電極の外周縁部のみに対向する枠状電極としたことを特徴とする液晶表示素子。

(2) ストレージキャパシタ用電極は、薄膜トランジスタのゲートおよびソース、ドレイン電極のうち下側の電極と同じ金属で形成されていることを特徴とする請求項1に記載の液晶表示素子。

(3) 他方の基板には、各画素電極と対向する

部分に、前記画素電極の幅より僅かに小さい幅の開口を有する格子状のブラックマスクが形成されており、ストレージキャパシタ用電極は、その内幅が前記ブラックマスクの開口幅とほぼ同じかあるいはそれより僅かに小さい大きさに形成されていることを特徴とする請求項1に記載の液晶表示素子。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、TFTアクティブマトリックス型の液晶表示素子に関するものである。

## 〔従来の技術〕

TFTアクティブマトリックス型の液晶表示素子は、液晶層をはさんで対向する一対の透明基板のうち一方の基板に、多数の薄膜トランジスタ(TFT)とこの各薄膜トランジスタにそれぞれ接続された多数の画素電極を形成し、他方の基板には前記画素電極と対向する対向電極を形成した構造となっている。

ところで、最近、上記液晶表示素子として、画

素電極の下にストレージキャパシタを形成し、画素電極の非選択時（1フレーム周期中、選択駆動された画素電極が次に選択駆動されるまでの期間）にも上記ストレージキャパシタから画素電極に電圧を印加しておけるようにしたものが開発されている。

第5図はストレージキャパシタを有する従来の液晶表示素子の一部分の断面図であり、この液晶表示素子は次のような構成となっている。

第5図において、図中1、2は液晶層（図示せず）をはさんで対向する一対の透明基板（ガラス板）であり、一方の基板（図では下基板）1の液晶層対向面には、薄膜トランジスタ3と透明な画素電極11が形成されている。なお、この薄膜トランジスタ3と画素電極11は、多数個縦横に配列形成されている。前記薄膜トランジスタ3は例えば逆スタガー型のものとされており、この薄膜トランジスタ3は、基板1上に形成されたゲート電極4と、このゲート電極4の上に基板1のほぼ全面にわたって形成された窒化シリコン（SiN）

等からなる透明なゲート絶縁膜5と、このゲート絶縁膜5の上に前記ゲート電極4と対向させて形成されたi型アモルファスシリコン（i-a-Si）等からなるi型半導体層6と、このi型半導体層6の両側部の上にn型アモルファスシリコン（n-a-Si）等からなるn型半導体層7を介して積層形成されたソース電極8およびドレイン電極9とからなっている。なお、この薄膜トランジスタ3のゲート電極4は基板1上に形成された走査ライン（図示せず）につながっており、ドレイン電極9はゲート絶縁膜5の上に前記走査ラインと直交させて形成された信号ライン10に接続されている。また、前記画素電極11は前記ゲート絶縁膜5の上に形成されており、その側縁部において前記薄膜トランジスタ3のソース電極8に接続されている。12は前記画素電極11の下に設けられたストレージキャパシタ用電極である。このストレージキャパシタ用電極12は、ITO等からなる透明電極とされており、このストレージキャパシタ用電極12は、画素電極11

の薄膜トランジスタ接続部11aを除く領域全体に対向する面積に形成されており、薄膜トランジスタ3のゲート絶縁膜4を介して画素電極11と対向している。なお、このストレージキャパシタ用電極12は各画素電極11にそれぞれ対応させて形成されており、この各ストレージキャパシタ用電極12は、互いに共通接続されて接地ラインに接続されている。そして、ストレージキャパシタCは、ストレージキャパシタ用電極12と画素電極11およびその間のゲート絶縁膜5とで構成されており、このストレージキャパシタCは、画素電極11の選択時に薄膜トランジスタ3から画素電極11に印加される電荷を蓄積し、画素電極11の電位を保つようになっている。なお、13は薄膜トランジスタ3を覆う酸化シリコン（SiO<sub>2</sub>）等からなる透明な保護絶縁膜である。

また、他方の基板（図では上基板）2の液晶層対向面には、そのほぼ全面にわたって、前記一方の基板1側の各画素電極11と対向する透明な対向電極14が形成されており、さらにこの基板2

の前記各画素電極11と対向する部分には、この画素電極11の幅（薄膜トランジスタ接続部11aを除く幅）W<sub>a</sub>より僅かに小さい幅W<sub>b</sub>の開口を有する格子状のブラックマスク15が形成されている。このブラックマスク15はクロム等の金属膜で形成されており、対向電極14はブラックマスク15の上（液晶層対向面側）に形成されている。

なお、図示しないが、前記一対の基板1、2の電極形成面上には、両基板1、2間に封入される液晶の分子を所定の配向状態に配向させる配向膜が形成されている。

この液晶表示素子によれば、画素電極11の下にストレージキャパシタCを形成しているため、画素電極11が非選択状態となった後も、上記ストレージキャパシタCから画素電極11に電圧を印加しておくことができ、したがって、画素電極11の非選択時、つまり選択駆動された画素電極11が次に選択駆動されるまでの1フレーム周期間にも液晶を電界印加状態に保持して、表示品質

を向上させることができる。

〔発明が解決しようとする課題〕

しかしながら、上記従来の液晶表示素子では、ストレージキャパシタCを形成するストレージキャパシタ用電極12を、画素電極11の薄膜トランジスタ接続部11aを除く領域全体に対向する面積に形成しているため、液晶表示素子を透過する光が、ストレージキャパシタ用電極12と画素電極11との2つの電極を透過することになり、そのために光透過率が低下して、表示コントラストが悪くなるという問題をもっていた。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、画素電極の下にストレージキャパシタを形成したものでありながら、光透過率を高くして表示コントラストを向上させることができる液晶表示素子を提供することにある。

〔課題を解決するための手段〕

本発明は、液晶層をはさんで対向する一対の透明基板のうち一方の基板に、多数の薄膜トランジ

スタとこの各薄膜トランジスタにそれぞれ接続された多数の画素電極を形成するとともに、この各画素電極の下に、絶縁膜を介して前記画素電極と対向するストレージキャパシタ用電極を設け、他方の基板には前記画素電極と対向する対向電極を形成した液晶表示素子において、前記ストレージキャパシタ用電極を、前記画素電極の外周縁部のみに対向する枠状電極としたことを特徴とするものである。

なお、前記ストレージキャパシタ用電極は、薄膜トランジスタのゲートおよびソース、ドレイン電極のうち下側の電極と同じ金属で形成するのが望ましい。

また、前記ストレージキャパシタ用電極を金属電極とする場合は、このストレージキャパシタ用電極を、その内幅が、他方の基板に形成されている格子状ブラックマスクの開口幅（画素電極幅より僅かに小さい幅）とほぼ同じかあるいはそれより僅かに小さい大きさに形成するのが望ましい。

〔作用〕

すなわち、本発明は、ストレージキャパシタ用電極を画素電極の外周縁部のみに対向する枠状電極とすることによって、画素電極の外周縁部の下の方にストレージキャパシタを形成したものであり、このようにすれば、画素電極の外周縁部を除く部分にはストレージキャパシタ用電極が対向していないため、この部分の光透過率を高くすることができる。

また、本発明において、前記ストレージキャパシタ用電極を、薄膜トランジスタのゲートおよびソース、ドレイン電極のうち下側の電極と同じ金属で形成すれば、液晶表示素子の製造に際して、薄膜トランジスタの下側の電極とストレージキャパシタ用電極とを同時に形成することができる。

さらに、前記ストレージキャパシタ用電極を金属電極とする場合、このストレージキャパシタ用電極を、その内幅が他方の基板に形成されている格子状ブラックマスクの開口幅とほぼ同じかあるいはそれより僅かに小さい大きさに形成してお

ば、このストレージキャパシタ用電極を、表示画素の大きさを規制する前記ブラックマスクの一部として利用することができる。

〔実施例〕

以下、本発明の一実施例を第1図～第4図を参照して説明する。

第1図は液晶表示素子の一方の基板の一部分の平面図、第2図は第1図のII-II線に沿う液晶表示素子の拡大断面図、第3図は他方の基板に形成されるブラックマスクの一部分の平面図、第4図は一対の基板の位置合せ精度に誤差がある場合の液晶表示素子の断面図である。

第1図および第2図において、図中21、22は液晶層（図示せず）をはさんで対向する一対の透明基板（ガラス板）であり、一方の基板（下基板）21の液晶層対向面には、薄膜トランジスタ23と透明な画素電極31が形成されている。なお、この薄膜トランジスタ23と画素電極31は、多数個縦横に配列形成されている。前記薄膜トランジスタ23は例えば逆スタガー型のものとされ

ており、この薄膜トランジスタ23は、基板21上に形成されたゲート電極24と、このゲート電極24の上に基板21のほぼ全面にわたって形成された窒化シリコン(SiN)等からなる透明なゲート絶縁膜25と、このゲート絶縁膜25の上に前記ゲート電極24と対向させて形成されたi型アモルファスシリコン(i-a-Si)等からなるi型半導体層26と、このi型半導体層26の両側部の上にn型アモルファスシリコン(n-a-Si)等からなるn型半導体層27を介して積層形成されたソース電極28およびドレイン電極29とからなっている。なお、この実施例では、1つの画素電極31に対してそれぞれ2つの薄膜トランジスタ23を設けており、この2つの薄膜トランジスタ23は、基板21上に形成した走査ライン24Aの上にこの走査ライン24Aの長さ方向に並べて形成されて、同時にON-OFF動作するようになっている。すなわち、この2つの薄膜トランジスタ23は、同じ走査ライン24Aの一部をゲート電極24としており、ま

た両薄膜トランジスタ23のドレイン電極29はそれぞれ同じ信号ライン30に接続されている。この信号ライン30は、ゲート絶縁膜25の上に前記走査ライン24Aと直交させて形成されており、両薄膜トランジスタ23のドレイン電極29は、この信号ライン30から走査ライン24Aと平行に導出した分岐部30aに接続されている。また、前記画素電極31は前記ゲート絶縁膜25の上に形成されており、その側縁部において前記2つの薄膜トランジスタ23のソース電極28に接続されている。

32は前記画素電極31の下に設けられたストレージキャパシタ用電極32である。このストレージキャパシタ用電極32は、基板21上に形成されており、前記薄膜トランジスタ23のゲート絶縁膜25を介して画素電極31と対向している。このストレージキャパシタ用電極32は、画素電極31の外周縁部のみに対向する枠状電極とされており、またこのストレージキャパシタ用電極32は、前記薄膜トランジスタ23の下側の電極

であるゲート電極24および走査ライン24Aと同じ金属(例えばクロム)で形成されている。このストレージキャパシタ用電極32は各画素電極31にそれぞれ対応させて形成されており、各ストレージキャパシタ用電極32は互いに共通接続されて接地ラインに接続されている。なお、この実施例では、走査ライン24Aの長さ方向に並ぶ各ストレージキャパシタ用電極32同士を共通接続し、この共通接続された電極群を基板21の側縁部において互いに接続している。第1図において32aは走査ライン24Aの長さ方向に並ぶ各ストレージキャパシタ用電極32を接続する接続部であり、この接続部32aは、各ストレージキャパシタ用電極32の互いに隣接する辺間の複數箇所(図では2箇所)にストレージキャパシタ用電極32と一体に形成されている。

そして、ストレージキャパシタCは、前記ストレージキャパシタ用電極32と画素電極31およびその間のゲート絶縁膜25とで構成されており、このストレージキャパシタCは、前記ストレージ

キャパシタ用電極32が枠状の電極であるために、画素電極31の外周縁部に沿う枠状のキャパシタとなっている。

なお、第2図において、33は薄膜トランジスタ3を覆う酸化シリコン(SiO<sub>2</sub>)等からなる透明な保護絶縁膜であり、この保護絶縁膜33は走査ライン24Aに沿わせてそのほぼ全長に設けられている。

また、他方の基板(上基板)22の液晶層対向面には、そのほぼ全面にわたって、前記一方の基板11側の各画素電極31と対向する透明な対向電極34が形成されており、さらにこの基板22の前記各画素電極31と対向する部分には、第3図に示すようなパターンのブラックマスク35が形成されている。すなわち、このブラックマスク35は、画素電極31の幅(薄膜トランジスタ接続部31aを除く幅)W<sub>a</sub>より僅かに小さい幅W<sub>b</sub>の開口を有する格子状をなしており、その各辺はそれぞれ前記一方の基板21の走査ライン24Aおよび信号ライン30に対向している。な

お、このブラックマスク 35 の各辺の幅は、隣接する画素電極 31 間の間隔より僅かに広い幅となっており、また、薄膜トランジスタ 23 が対向する部分の幅は、この薄膜トランジスタ 23 の幅より大きくなっている。このブラックマスク 35 はクロム等の金属膜で形成されており、対向電極 24 はブラックマスク 35 の上（液晶層対向面側）に形成されている。

そして、前記ストレージキャパシタ用電極 32 は、その内幅  $W_c$  が、前記格子状ブラックマスク 35 の開口幅  $W_b$  より僅かに小さく、かつ外周縁が前記画素電極 31 の外周縁より僅かに外側に突出す大きさに形成されている。ただし、このストレージキャパシタ用電極 32 のうち、画素電極 31 の薄膜トランジスタ接続部 31a に対応する部分は、この薄膜トランジスタ接続部 31a を避けて、その外周縁より内側に対向している。

なお、図示しないが、前記一対の基板 21、22 の電極形成面上には、両基板 21、22 間に封入される液晶の分子を所定の配向状態に配向さ

せる配向膜が形成されている。

そして、この実施例の液晶表示素子においては、画素電極 31 の下にストレージキャパシタ C を形成するためのストレージキャパシタ電極 32 を、画素電極 31 の外周縁部のみに対向する棒状電極とすることによって、画素電極 31 の外周縁部の下のみにストレージキャパシタ C を形成しているから、画素電極 31 の外周縁部を除く部分にはストレージキャパシタ用電極 32 が対向しておらず、したがって、この部分の光透過率を高くすることができる。すなわち、第 5 図に示した従来の液晶表示素子では、透過光がストレージキャパシタ用電極 12 と画素電極 11 との 2 つの電極を渡るために、光透過率の低下が大きい。が、上記実施例の液晶表示素子では、ストレージキャパシタ電極 32 を棒状電極としているため、電極を渡ることによる光透過率の低下は画素電極 31 において生ずるだけである。したがって、この液晶表示素子によれば、画素電極 31 の下にストレージキャパシタ C を形成したものでありながら、光透過率を

高くして表示コントラストを向上させることができる。なお、このように画素電極 31 の外周縁部の下のみにストレージキャパシタ C を形成すると、このストレージキャパシタ C の面積が小さくなった分だけその容量が小さくなるが、このストレージキャパシタ C は、選択駆動された画素電極 31 が次に選択駆動されるまでの 1 フレーム周期間だけ画素電極 31 に電圧を継続して印加できる容量があれば十分であるから、この容量が得られるように前記ストレージキャパシタ用電極 32 の画素電極対向部分の面積を設定しておきさえすれば、前記ストレージキャパシタ C の容量減少は何等問題とはならない。

また、上記実施例では、前記ストレージキャパシタ用電極 32 を、薄膜トランジスタ 23 の下側の電極であるゲート電極 24 および走査ライン 24A と同じ金属で形成しているため、液晶表示素子の製造に際して、薄膜トランジスタ 23 のゲート電極 24 および走査ライン 24A とストレージキャパシタ用電極 32 とを同時に形成すること

ができる。

しかも、上記実施例では、前記ストレージキャパシタ用電極 32 を金属電極とするとともに、このストレージキャパシタ用電極 32 を、その内幅  $W_c$  が他方の基板 22 に形成されている格子状ブラックマスク 35 の開口幅  $W_b$  より僅かに小さい大きさに形成しているため、画素電極 31 の外周縁部に対応する部分を透過する光をストレージキャパシタ用電極 32 によっても遮光することができ、したがって、このストレージキャパシタ用電極 32 を、表示画素の大きさを規制する前記ブラックマスク 35 の一部として利用することができる。なお、このようにストレージキャパシタ用電極 32 の内幅  $W_c$  をブラックマスク 35 の開口幅  $W_b$  より小さくすると、表示画素の大きさがストレージキャパシタ用電極 32 の内幅  $W_c$  で規制されて小さくなるため、開口率が下がるが、ストレージキャパシタ用電極 32 の内幅  $W_c$  とブラックマスク 35 の開口幅  $W_b$  との差は僅かであるから、上記開口率の低下の度合は極めて僅かである。

また、ストレージキャパシタ用電極を透明電極としている液晶表示素子においては、表示画素の大きさが格子状ブラックマスクの開口幅で規制されるため、一対の基板の位置合せ精度の誤差によって表示画素の大きさがばらつくが、上記実施例のように、ストレージキャパシタ用電極32を金属電極とし、しかもこのストレージキャパシタ用電極32の内幅 $W_c$ を格子状ブラックマスク35の開口幅 $W_b$ より小さくしておけば、このストレージキャパシタ用電極32に表示画素の大きさを規制するブラックマスクとしての機能をもたせて、一対の基板21、22の位置合せ精度の誤差による表示画素の大きさのばらつきをなくすることができる。

すなわち、上記液晶表示素子の製造に際して、一対の基板21、22がその位置合せ精度の誤差により互いにずれて組立てられた場合、両基板21、22のずれ量が、位置合せ誤差がない場合におけるブラックマスク35と画素電極31との重なり幅以下であれば、ブラックマスク35はそ

の開口縁の全周が画素電極31に重なるが、これより僅かでも両基板21、22のずれ量が大きくなると、ブラックマスク35の一侧の開口縁が画素電極31の外側縁よりも外側にずれて、その間に隙間Gができてしまう。第4図はこの状態を示している。

そして、仮にストレージキャパシタ用電極32が透明電極であるとする、両基板21、22のずれ量が上記隙間Gのできない範囲であれば、表示画素の幅はブラックマスク35の開口幅 $W_b$ と同じであるが、ブラックマスク35の一侧の開口縁と画素電極31の外側縁との間に第4図に示すような隙間Gができると、表示画素の幅 $D'$ は、ブラックマスク35の開口幅 $W_b$ から上記隙間Gの幅 $\Delta W$ を減じた幅( $D' = W_b - \Delta W$ )となる。これは、画素電極31が対向していない部分の液晶には電界が作用しないため、上記隙間Gに対応する部分には光を透過および遮断する表示機能がないからであり、この部分は、ネガ表示タイプの液晶表示素子では常に暗部となり、ポジ表示タイ

プの液晶表示素子では常に明部となる。

これに対して、上記実施例のように、ストレージキャパシタ用電極32を金属電極とし、かつこのストレージキャパシタ用電極32の内幅 $W_c$ をブラックマスク35の開口幅 $W_b$ より小さくしておけば、表示画素の幅がストレージキャパシタ用電極32の内幅によって規制されるため、両基板21、22のずれ量が上記隙間Gのできない範囲である場合はもちろん、ブラックマスク35の一侧の開口縁と画素電極31の外側縁との間に第4図に示すような隙間Gが生じた場合でも、表示画素の幅 $D$ は、常にブラックマスク35の開口幅 $W_b$ と同じ幅( $D = W_b$ )となる。

したがって、上記実施例によれば、開口率は僅かながら低下するものの、一対の基板21、22の位置合せ精度の誤差による表示画素の大きさのばらつきをなくすることができるから、均一な表示品質の液晶表示素子を歩留よく得ることができる。なお、前記ストレージキャパシタ用電極32の内幅 $W_c$ と、ブラックマスク35の開口幅 $W_b$ との

差は、一対の基板21、22の位置合せ精度の誤差を見込んで設定しておけばよい。

また、上述したように一対の基板21、22の位置合せ精度の誤差によってブラックマスク35の一侧の開口縁と画素電極31の外側縁との間に第4図に示すような隙間Gができただけの場合、この隙間Gに対応する部分に光の漏れが生じて表示品質が悪くなるが、上記実施例では、前記ストレージキャパシタ用電極32を、その外周縁が画素電極31の外周縁より僅かに外側に突出する大きさに形成しているため、上記隙間Gに対応する部分からの光の漏れもなくして、表示品質を向上させることができる。なお、前記ストレージキャパシタ用電極32の突出し幅も、一対の基板21、22の位置合せ精度の誤差を見込んで設定しておけばよい。

なお、上記実施例では、ストレージキャパシタ用電極32の内幅 $W_c$ をブラックマスク35の開口幅 $W_b$ より小さくしているが、このストレージキャパシタ用電極32の内幅 $W_c$ はブラックマス



ク35の開口幅 $W_b$ とほぼ同じ幅としてもよく、その場合は、前記ストレージキャパシタ用電極32の画素電極対向部分の面積を、ストレージキャパシタCに、選択駆動された画素電極31が次に選択駆動されるまでの1フレーム周期間だけ画素電極31に電圧を継続して印加できる容量をもたせられる面積に設定し、このこのストレージキャパシタ用電極32の内幅 $W_c$ に応じてブラックマスク35の開口幅 $W_b$ を設定すればよい。また、上記実施例では、ストレージキャパシタ用電極32をその外周縁が画素電極31の外周縁より僅かに外側に張出す大きさに形成して、第4図に示した隙間Gからの光の漏れをストレージキャパシタ用電極32によって防いでいるが、上記隙間Gからの光の漏れはブラックマスク35の開口幅 $W_b$ を小さくすることで防止してもよく、その場合は、ストレージキャパシタ用電極32の外周縁を必ずしも画素電極31の外周縁の外側に張出させておく必要はない。さらに、上記実施例では、ストレージキャパシタ用電極32を金属電極とし

たが、このストレージキャパシタ用電極32はITO等からなる透明電極としてもよく、その場合も、このストレージキャパシタ用電極32を画素電極31の外周縁部のみに対向する棒状電極として、画素電極31の外周縁部の下の方にストレージキャパシタCを形成すれば、画素電極31の外周縁部を除く部分の光透過率を高くして表示コントラストを向上させることができる。

また、上記実施例では画素電極31を選択駆動する薄膜トランジスタ23を逆スタガー型のものとしたが、この薄膜トランジスタ23は逆コプラナー型のものでも、またスタガー型あるいはコプラナー型のものでもよい。

#### 〔発明の効果〕

本発明の液晶表示素子によれば、ストレージキャパシタ用電極を画素電極の外周縁部のみに対向する棒状電極とすることによって、画素電極の外周縁部の下の方にストレージキャパシタを形成しているため、画素電極の外周縁部を除く部分の光透過率を高くすることができ、したがって、画素

電極の下にストレージキャパシタを形成したものでありながら、光透過率を高くして表示コントラストを向上させることができる。

また、この液晶表示素子において、前記ストレージキャパシタ用電極を、薄膜トランジスタのゲートおよびソース、ドレイン電極のうち下側の電極と同じ金属で形成すれば、液晶表示素子の製造に際して、薄膜トランジスタの下側の電極とストレージキャパシタ用電極とを同時に形成することができる。

さらに、前記ストレージキャパシタ用電極を金属電極とする場合、このストレージキャパシタ用電極を、その内幅が他方の基板に形成されている格子状ブラックマスクの開口幅とほぼ同じかあるいはそれより僅かに小さい大きさに形成しておけば、このストレージキャパシタ用電極を、表示画素の大きさを規制する前記ブラックマスクの一部として利用することができる。

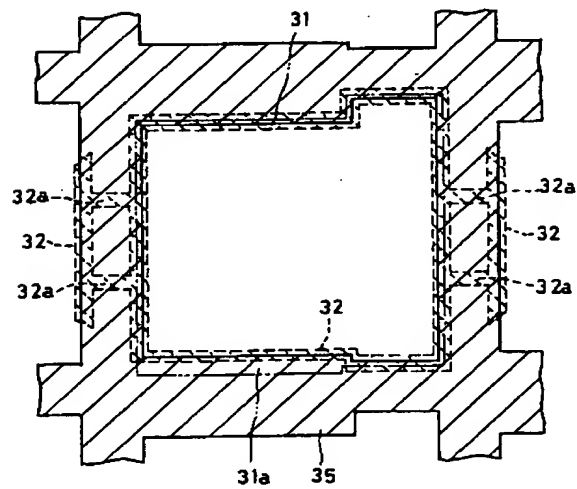
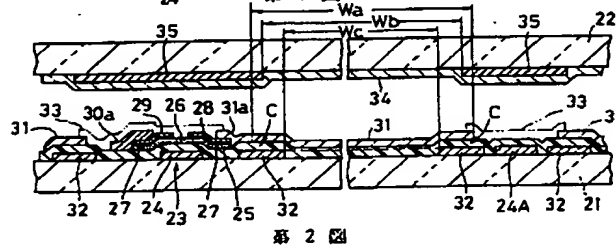
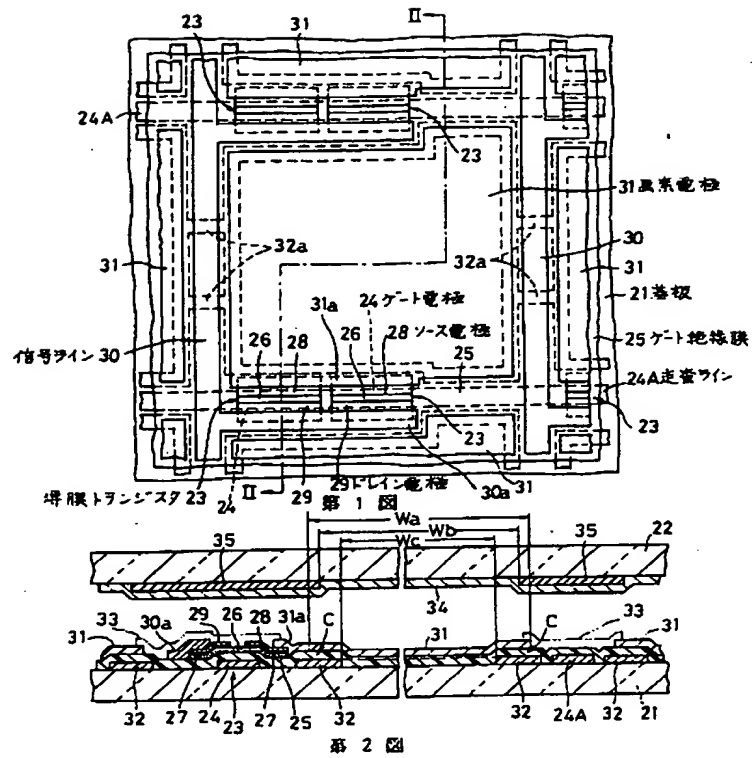
#### 4. 図面の簡単な説明

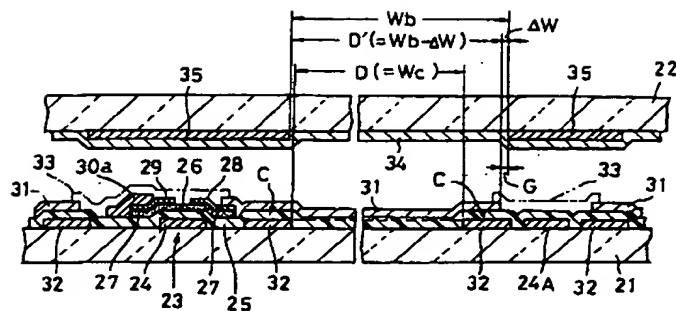
第1図～第4図は本発明の一実施例を示したも

ので、第1図は液晶表示素子の一方の基板の一部分の平面図、第2図は第1図のII-II線に沿う液晶表示素子の拡大断面図、第3図は他方の基板に形成されるブラックマスクの一部分の平面図、第4図は一对の基板の位置合せ精度に誤差がある場合の液晶表示素子の断面図である。第5図は従来の液晶表示素子の断面図である。

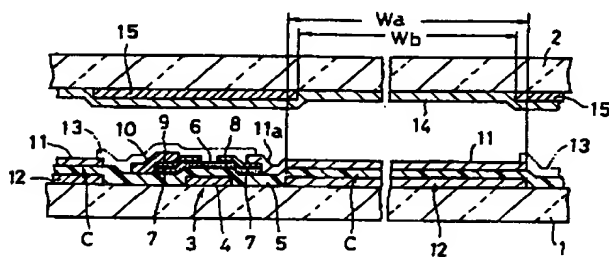
21…基板、23…薄膜トランジスタ、24…ゲート電極、24A…走査ライン、25…ゲート絶縁膜、28…ソース電極、29…ドレイン電極、30…信号ライン、31…画素電極、32…ストレージキャパシタ用電極、C…ストレージキャパシタ、34…対向電極、35…ブラックマスク。

出願人代理人 弁理士 鈴江武彦





第 4 図



第 5 図